

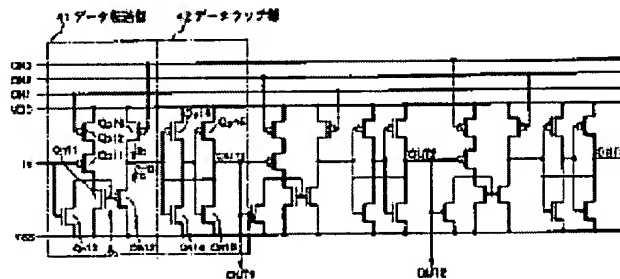
## DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

**Patent number:** JP11184432  
**Publication date:** 1999-07-09  
**Inventor:** MAEKAWA TOSHIICHI  
**Applicant:** SONY CORP  
**Classification:**  
**- international:** (IPC1-7): G09G3/36; G11C19/28  
**- european:**  
**Application number:** JP19970350385 19971219  
**Priority number(s):** JP19970350385 19971219

Report a data error here

### Abstract of JP11184432

**PROBLEM TO BE SOLVED:** To provide the driving circuit of a liquid crystal display device capable of securing a sufficient operating speed even when the driving circuit has low power source voltages and the input signal of a low voltage. **SOLUTION:** In respective transfer stages of a shift register, a data transferring part 41 is constituted of a PMOS transistor Qp11 in which a transfer pulse IN is made a gate input, a PMOS transistor Qp12 which is connected between the source of the transistor Qp11 and a power source VDD and in which a shift clock CK 1 is made a gate input, an NMOS transistor Qnp11 which is connected between the drain of the transistor Qp11 and a power source VSS and which is of a diode connection, an NMOS transistor Qn12 constituting a current mirror together with the transistor Qn11 and a PMOS transistor Qp13 which is connected between the drain of the transistor Qn12 and the power source VDD and in which a shift clock CK3 is made a gate input.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-184432

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 9 G 3/36

C 0 9 G 3/36

G 1 1 C 19/28

C 1 1 C 19/28

D

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号

特願平9-350385

(22) 出願日

平成9年(1997)12月19日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

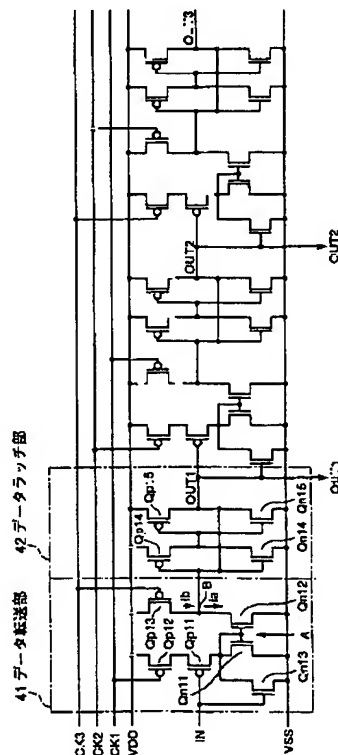
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示装置の駆動回路

(57) 【要約】

【課題】 電圧転送型のシフトレジスタでは、コモン反転駆動法を用いることによって駆動回路系を低電源電圧化できたとしても、クロックが電源電圧にほぼ等しいパルス電圧でないと、所望の動作速度のシフト動作を実現できない。

【解決手段】 シフトレジスタの転送段の各々において、データ転送部41を、転送パルスINをゲート入力とするPMOSTランジスタQp11と、そのソースと電源VDD間に接続され、シフトクロックCK1をゲート入力とするPMOSTランジスタQp12と、PMOSTランジスタQp11のドレインと電源VSSの間に接続されたダイオード接続のNMOSTランジスタQn11と、このNMOSTランジスタQn11と共にカレントミラーを構成するNMOSTランジスタQn12と、そのドレインと電源VDDの間に接続され、シフトクロックCK3をゲート入力とするPMOSTランジスタQp13とで構成する。



## 【特許請求の範囲】

【請求項1】 行列状に2次元配置された複数の画素を順次選択する走査回路としてシフトレジスタを用いた液晶表示装置の駆動回路において、

前記シフトレジスタの転送段の各々が、

入力転送パルスをゲート入力とする第1のPMOSトランジスタと、

前記第1のPMOSトランジスタのソースと第1の電源の間に接続され、第1のシフトパルスをゲート入力とする第2のPMOSトランジスタと、

前記第1のPMOSトランジスタのドレインと第2の電源の間に接続されたダイオード接続の第1のNMOSトランジスタと、

前記第1のNMOSトランジスタと共にカレントミラーを構成する第2のNMOSトランジスタと、

前記第2のNMOSトランジスタのドレインと第1の電源の間に接続され、第2のシフトパルスをゲート入力とする第3のPMOSトランジスタとを有するデータ転送部を備えていることを特徴とする液晶表示装置の駆動回路。

【請求項2】 前記データ転送部はさらに、

前記第1のNMOSトランジスタに対して並列に接続され、前記入力転送パルスをゲート入力とする第3のNMOSトランジスタを有していることを特徴とする請求項1記載の液晶表示装置の駆動回路。

【請求項3】 前記シフトレジスタの転送段の各々はさらに、

前記データ転送部の出力を保持するデータ保持部を備えていることを特徴とする請求項1記載の液晶表示装置の駆動回路。

【請求項4】 前記データ保持部は、前記データ転送部よりも高いインピーダンスを持つ2つのインバータがリング状に接続されてなることを特徴とする請求項3記載の液晶表示装置の駆動回路。

【請求項5】 前記シフトレジスタの転送段の各々はさらに、

前記データ保持部の後段にカレントバッファ部を備えていることを特徴とする請求項3記載の液晶表示装置の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置（以下、LCD(Liquid Crystal Display)と称す）の駆動回路に関し、特に行列状に2次元配置された複数の画素を順次選択する構成のマトリクス型LCDの駆動回路に関する。

## 【0002】

【従来の技術】駆動回路系がポリシリコンTFT(Thin Film Transistor; 薄膜トランジスタ)で画素（液晶）系と一体的に形成されるいわゆる駆動回路一体型LCDを

作る場合、ポリシリコンTFTの諸特性が結晶シリコンよりも劣るため、どうしても高い電源電圧やクロックパルス電圧が必要となっているのが現状である。代表的には、電源電圧VDDが $VDD > 13V$ である。

【0003】現在、低消費電力のモバイルコンピュータの開発、商品化が活発であるが、この用途での必要条件は低消費電力化である。しかし、先述したように、 $VDD > 13V$ 等で使用する場合には消費電力が大きく、かつ入力するタイミング系にも高電圧が必要であるため、LCDパネル外部若しくは内部でTTLレベル若しくは2.7V系のクロックパルス電圧を13V系に昇圧する必要があり、システムの消費電力が増大するばかりでなく、不要輻射も問題となる。

【0004】一方、液晶駆動法で一般に知られているコモン反転駆動法を用いると、駆動回路系は5V程度のダイナミックレンジで済むことになる。ここに、コモン反転駆動法とは、入力信号と逆相に対向電極を振ることによって実効的な外部からの入力ビデオ信号を約1/2に低減できる駆動法を言う。モバイルLCDの低消費電力化のためには、このコモン反転駆動法が有力なのであるが、駆動回路系がデバイス実力の観点から低消費電力LCDへの展開にとっては大きな阻害要因となっている。

【0005】図9に、駆動回路系における例えばソースドライバ（水平駆動回路）の主要部を構成するシフトレジスタの従来の回路例を示す。

【0006】図9において、一对のクロックドインバータ101、102の出力端が共通に接続され、これらクロックドインバータ101、102の共通接続された出力端にはインバータ103の入力端が接続され、このインバータ103の出力端はクロックドインバータ102の入力端に接続されている。この一对のクロックドインバータ101、102およびインバータ103からなる回路を一単位として1つの転送段（レジスタ）が構成され、この転送段が複数段シリアル接続されることによってシフトレジスタを構成している。

【0007】そして、クロックドインバータ101の入力端が各転送段の入力端となり、クロックドインバータ102の入力端とインバータ103の出力端の共通接続点（接点）が各転送段の出力端となる。各段のクロックドインバータ101、102には、互いに逆相の2相のシフトクロックCK1、CK2が与えられる。図10に、入力IN、2相のシフトクロックCK1、CK2および4段目までの出力OUT1、OUT2、OUT3、OUT4のタイミング関係を示す。

【0008】1つの転送段の具体的な回路構成の一例を図11に示す。同図において、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSトランジスタQp101およびNMOSトランジスタQn101からなるC-MOSインバータと、PMOSトランジスタQp101のソースと正電源VDDの間に接続され、シフト

クロックCK1をゲート入力とするPMOSTランジスタQp102と、NMOSTランジスタQn101のソースと負電源VSSの間に接続され、シフトクロックCK2をゲート入力とするNMOSTランジスタQn102とによってクロックドインバータ101が構成されている。

【0009】同様にして、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSTランジスタQp103およびNMOSTランジスタQn103からなるC-MOSインバータと、PMOSTランジスタQp103のソースと正電源VDDの間に接続され、シフトクロックCK2をゲート入力とするPMOSTランジスタQp104と、NMOSTランジスタQn103のソースと負電源VSSの間に接続され、シフトクロックCK1をゲート入力とするNMOSTランジスタQn104とによってクロックドインバータ102が構成されている。

【0010】また、各ゲートおよび各ドレインがそれぞれ共通に接続されたPMOSTランジスタQp105およびNMOSTランジスタQn105からなるC-MOSインバータによってインバータ103が構成されている。そして、クロックドインバータ101、102の各出力端となるC-MOSインバータのドレイン共通接続点が相互に接続されるとともに、インバータ103の入力端となるC-MOSインバータのゲート共通接続点に接続され、またクロックドインバータ102の入力端となるC-MOSインバータのゲート共通接続点がインバータ103の出力端となるC-MOSインバータのドレイン共通接続点に接続されている。

【0011】

【発明が解決しようとする課題】上記構成のシフトレジスタは、データパルスをその電圧で転送するいわゆる電圧転送型シフトレジスタである。この電圧転送型のシフトレジスタを用いて構成されたソースドライバでは、先述したように、液晶駆動法としてコモン反転駆動法を用いることにより、駆動回路系の電源電圧を例えば5Vに低電圧化できたとしても、シフトクロックCK1、CK2が電源電圧にほぼ等しいパルス電圧のものでないと、所望の動作速度のシフト動作を実現できないことになる。

【0012】すなわち、シフトレジスタに入力されるシフトクロックCK1、CK2のパルス電圧が例えば2.7V系であるとする、上記構成の電圧転送型シフトレジスタにおいて、クロックドインバータ101、102を構成するNチャネルのMOSTランジスタのしきい値電圧Vthが2.5V程度であることから、非常に動作速度が遅くなるという問題がある。

【0013】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、低電源電圧、低電圧入力信号であっても十分な動作速度を確保できる液晶表

示装置の駆動回路を提供することにある。

【0014】

【課題を解決するための手段】本発明による液晶表示装置の駆動回路は、行列状に2次元配置された複数の画素を順次選択する走査回路としてシフトレジスタを用いた液晶表示装置において、シフトレジスタの転送段の各々が、入力転送パルスをゲート入力とする第1のPMOSTランジスタと、この第1のPMOSTランジスタのソースと第1の電源の間に接続され、第1のシフトパルスをゲート入力とする第2のPMOSTランジスタと、第1のPMOSTランジスタのドレインと第2の電源の間に接続されたダイオード接続の第1のNMOSTランジスタと、この第1のNMOSTランジスタと共にカレントミラーを構成する第2のNMOSTランジスタと、この第2のNMOSTランジスタのドレインと第1の電源の間に接続され、第2のシフトパルスをゲート入力とする第3のPMOSTランジスタとを有するデータ転送部を備えた構成となっている。

【0015】上記構成の液晶表示装置の駆動回路において、第1のPMOSTランジスタが入力転送パルスをセンスし、第2、第3のPMOSTランジスタがシフトパルスをセンスする。このように、PMOSTランジスタで入力転送パルスおよびシフトパルスをセンスすることで、NMOSTランジスタをセンス用トランジスタとして用いた場合の閾値電圧Vth分のロスがないため、低電源電圧、低電圧入力信号であっても十分な動作速度を確保できる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明が適用されるアクティブマトリクス型LCDの一般的な構成例を示す概略構成図である。

【0017】図1において、複数行分のゲートバスライン11の各々と複数列分の信号ライン（ソースライン）12の各々の交差部には、複数の画素13が行列状に2次元配置されている。これら画素13の各々は、ゲートバスライン11にゲート電極が、信号ライン12にソース電極がそれぞれ接続されたTFT（薄膜トランジスタ）14と、このTFT14のドレイン電極に画素電極が接続された液晶セル15と、当該ドレイン電極に一方の電極が接続された補助容量16とから構成されている。補助容量16の他方の電極にはコモン電圧Vcomが印加される。

【0018】複数の画素13の各々は、列単位で選択して駆動するためのソースドライバ（水平駆動回路）17および行単位で選択して駆動するためのスキンドライバ（垂直駆動回路）18によって駆動される。このソースドライバ7およびスキンドライバ18は、水平方向および垂直方向に順次走査するための走査回路を内蔵しており、この走査回路としてシフトレジスタが用いら

れる。

【0019】図2は、アナログインターフェース型のソースドライバの一例を示す構成図である。このアナログインターフェース型ソースドライバは、アドレスパルスであるサンプリングパルスを順次出力する水平シフトレジスタ21と、入力されるアナログビデオ信号を水平シフトレジスタ21から順次出力されるサンプリングパルスに同期してサンプリングし、信号ライン12に出力するアナログスイッチ群22とから構成されている。

【0020】図3は、デジタルインターフェース型のソースドライバの一例を示す構成図である。このデジタルインターフェース型ソースドライバは、アドレスパルスであるデータラッチパルスを順次出力する水平シフトレジスタ31と、入力されるデジタルデータを水平シフトレジスタ31から順次出力されるデータラッチパルスに同期してラッチするデータラッチ回路32と、このデータラッチ回路32にラッチされたデータをデコードし、信号ライン12に出力するデコード回路33とから構成されている。

【0021】上述したことから明かなように、アナログインターフェース型およびデジタルインターフェース型のいずれの型のシフトレジスタの場合にも、順次アドレスパルスを発生するための水平シフトレジスタ21、31を必要とする。本発明に係るシフトレジスタは、これら水平シフトレジスタ21、31として用いて好適なものである。なお、水平シフトレジスタに限らず、スキンドライバ8に内蔵する垂直シフトレジスタとして用いることも可能であるが、以下、水平シフトレジスタに適用した場合を例に採って説明するものとする。

【0022】図4は、本発明の一実施形態を示す回路図である。本実施形態においては、入力されるタイミング系は、 $<0V-2.7V>$ のTTLレベルを想定している。そのため、NMOSトランジスタを用いてセンス回路を構成すると、当該トランジスタの閾値電圧 $V_{th}$ 分だけロスとなるので、タイミング系のセンス部にはPMOSトランジスタを用いた回路構成を採っている。

【0023】図4において、PMOSトランジスタ $Q_{p11}$ は、前段から与えられる転送データINをゲート入力とし、当該転送データINが低レベル（以下、“L”レベルと記す）のときにオン（導通）状態となる。このPMOSトランジスタ $Q_{p11}$ のソースと正電源VDDの間には、シフトクロックCK1をゲート入力とするPMOSトランジスタ $Q_{p12}$ が接続されている。このPMOSトランジスタ $Q_{p12}$ は、クロックセンス用のトランジスタであり、シフトクロックCK1が“L”レベルのときにオン状態となる。

【0024】また、PMOSトランジスタ $Q_{p11}$ のドレインと負電源VSSの間には、ドレインとゲートが共通に接続されたダイオード接続のNMOSトランジスタ

$Q_{n11}$ が接続されている。このNMOSトランジスタ $Q_{n11}$ はNMOSトランジスタ $Q_{n12}$ と共に、ゲートが共通に接続されることによってカレントミラーを構成している。NMOSトランジスタ $Q_{n12}$ のソースは負電源VSSに接続され、そのドレインと正電源VDDの間には、シフトクロックCK3をゲート入力とするPMOSトランジスタ $Q_{p13}$ が接続されている。

【0025】以上により、入力された転送データINを次段に転送するデータ転送部41が構成されている。このデータ転送部41において、NMOSトランジスタ $Q_{n11}$ に対してNMOSトランジスタ $Q_{n13}$ が並列に接続されている。すなわち、NMOSトランジスタ $Q_{n11}$ およびNMOSトランジスタ $Q_{n13}$ のドレイン同士およびソース同士がそれぞれ共通に接続されている。そして、NMOSトランジスタ $Q_{n13}$ のゲートは、PMOSトランジスタ $Q_{p11}$ のゲートと共通に接続されている。このNMOSトランジスタ $Q_{n13}$ は、NMOSトランジスタ $Q_{n11}$ に貫通電流が流れるのを防止するために設けられたものである。

【0026】このデータ転送部41の出力端B、即ちPMOSトランジスタ $Q_{p13}$ およびNMOSトランジスタ $Q_{n12}$ のドレイン共通接続点は、次段のデータラッチ部42の入力端に接続されている。データラッチ部42は、正電源VDDと負電源VSSの間に接続されたPMOSトランジスタ $Q_{p14}$ およびNMOSトランジスタ $Q_{n14}$ からなるCMOSインバータと、同様に正電源VDDと負電源VSSの間に接続されたPMOSトランジスタ $Q_{p15}$ およびNMOSトランジスタ $Q_{n15}$ からなるCMOSインバータとが、互いに逆極性で並列に、即ちリング状に接続された構成となっている。

【0027】このデータラッチ部42において、各CMOSインバータを構成するMOSトランジスタ $Q_{p14}$ 、 $Q_{n14}$ および $Q_{p15}$ 、 $Q_{n15}$ としては、データ転送部41の出力トランジスタであるMOSトランジスタ $Q_{p13}$ 、 $Q_{n12}$ よりもそのサイズが十分に小さいものが用いられる。

【0028】上述した回路構成のデータ転送部41およびデータラッチ部42からなる回路を一単位として1つの転送段（レジスタ）が構成され、この単位転送段が複数段縦続接続されることによって本実施形態に係るシフトレジスタを構成している。なお、初段を含む奇数段目の転送段のPMOSトランジスタ $Q_{p13}$ にはシフトクロックCK3が印加されるが、偶数段目のPMOSトランジスタ $Q_{p13}$ にはシフトクロックCK2が印加されることになる。ここで、3相のシフトクロックCK1、CK2、CK3は、図5のタイミングチャートに示す位相関係となっている。

【0029】次に、上記構成のシフトレジスタにおいて、初段の転送段を例にとってその回路動作について、図5のタイミングチャートを参照しつつ説明する。

【0030】入力転送データINが“L”レベルとなることで、PMOSTランジスタQp11がオン状態となり、次いでこの転送データINの“L”レベルの期間にシフトクロックCK1が“L”レベルとなることで、PMOSTランジスタQp12がオン状態となる。これにより、NMOSTランジスタQn11がオン状態となり、このNMOSTランジスタQn11と共にカレントミラーを構成するNMOSTランジスタQn12のドレインに電流iaが流れる。その結果、データ転送部41の出力端Bが放電され、その出力端Bの電位はVSSレベルとなる。

【0031】続いて、入力転送データINが高レベル（以下、“H”レベルと記す）となることにより、PMOSTランジスタQp11がオフ状態となり、NMOSTランジスタQn13がオン状態となる。これにより、ノードAはNMOSTランジスタQn13を経由して放電され、NMOSTランジスタQn12がオフ状態となるため、データ転送部41の出力端Bがハイインピーダンスとなるが、それまでの出力端BのVSSレベルは、データ転送部41の出力トランジスタよりもサイズの十分に小さいMOSTランジスタQp14、Qn14、Qp15、Qn15で構成されたデータラッチ部42で保持される。

【0032】次に、シフトクロックCK3が“H”レベルから“L”レベルに遷移すると、PMOSTランジスタQp13がオン状態となり、このPMOSTランジスタQp13を介してデータ転送部41の出力端Bへ電流ibが流れ込むため、当該出力端Bは電源電圧VDDまで充電される。その後、データ転送部41の出力端Bがハイインピーダンスとなっても、VDDレベルのデータは、データラッチ部42で保持される。

【0033】図6に、シミュレーション結果を示す。このシミュレーション結果から明らかなように、VDD=5V、VSS=0Vとした場合に、 $<0V-2.7V>$ のTTLレベルのタイミング系に対して、入力転送データINおよびシフトクロックCK1、CK2、CK3のセンス用のトランジスタとしてPMOSTランジスタを用いた電流転送型のシフトレジスタ構成としたことにより、出力OUT1は0V-5Vの振幅となる。そして、以降、その振幅にて各転送段で順次転送されることになる。

【0034】これにより、コモン反転駆動法との組み合わせによって低電源電圧（例えば、5V系）、低電圧入力信号（例えば、2.7V系）でシフトレジスタを構成できるので、低消費電力化が可能になるとともに、外部タイミングICとダイレクトインターフェースが可能となり、システムが簡単になる。また、不要輻射を低減でき、セット設計が容易になる。

【0035】なお、上記実施形態では、3相のシフトクロックCK1、CK2、CK3の各“L”レベルの時間

をそれぞれ1周期Tを3等分した時間（ $T/3$ ）としたが、図7のタイミングチャートに示すように、シフトクロックCK1、CK2、CK3の“L”レベルの時間を $T/3$ よりも短く設定することも可能である。具体的には、ノードAを放電するのに必要な時間とノードAを電源VDDまで充電するのに必要な時間のうちの長い方の時間まで短縮することができる。

【0036】これにより、PMOSTランジスタQp12→PMOSTランジスタQp11→NMOSTランジスタQn11を流れる貫通電流を低減できるため、電力損失を抑制できる。この際、データ転送部41の出力端Bを十分充放電すれば、データの転送には何ら支障はない。

【0037】図8は、本発明の他の実施形態を示す回路図である。本実施形態に係るシフトレジスタは、各転送段ごとに、データラッチ部42の後段にカレントバッファ部43を備えた構成となっている。このカレントバッファ部43は、正電源VDDと負電源VSSの間に接続されたPMOSTランジスタQp16およびNMOSTランジスタQn16からなるCMOSインバータと、同様に正電源VDDと負電源VSSの間に接続されたPMOSTランジスタQp17およびNMOSTランジスタQn17からなるCMOSインバータとが直列に接続された構成となっている。

【0038】このように、各転送段ごとに、データラッチ部42の後段にカレントバッファ部43を有することにより、データラッチ部42がサイズの小さいMOSTランジスタからなり、その駆動能力が小さくても、カレントバッファ部43をデータラッチ部42よりもサイズの大きいMOSTランジスタで構成することにより、例えば図3に示すデジタルインターフェース型ソースドライバにおいて、データラッチ回路32に対して十分な駆動能力を得ることができる利点がある。

【0039】なお、上記各実施形態では、駆動回路系をポリシリコンTFTで画素系と一体的に形成する駆動回路一体型LCDに適用するとしたが、別体型LCDにも同様に適用可能である。また、構成するトランジスタは、ポリシリコン、結晶シリコンのいずれでも可能である。さらに、Bulkシリコンでも、絶縁層上のTFTでも構成は可能である。特にTFTでは、基板バイアス効果により $|V_{th}|$ の上昇がないため、低電圧駆動には好適と言える。

【0040】また、上記各実施形態においては、3相のシフトクロックCK1、CK2、CK3を用いた場合について説明したが、必ずしも3相のシフトクロックに限定されるものではなく、相互のタイミング関係を適当に設定することにより、2相又は4相以上の多相クロックでも適用可能である。

【0041】

【発明の効果】以上説明したように、本発明によれば、

PMOSトランジスタを用いて入力転送パルスおよびシフトパルスをセンスする電流転送型としたことにより、NMOSトランジスタをセンス用トランジスタとして用いた場合の閾値電圧 $V_{th}$ 分のロスがないため、低電源電圧、低電圧入力信号であっても十分な動作速度を確保できることになる。

【図面の簡単な説明】

【図1】本発明が適用されるアクティブマトリクス型LCDの一般的な構成例を示す概略構成図である。

【図2】アナログインターフェース型のソースドライバの一例を示す構成図である。

【図3】デジタルインターフェース型のソースドライバの一例を示す構成図である。

【図4】本発明の一実施形態を示す回路図である。

【図5】図4の回路動作を説明するためのタイミングチャートである。

【図6】本実施形態に係るシミュレーション結果を示す波形図である。

【図7】一実施形態の変形例に係るタイミングチャートである。

【図8】本発明の他の実施形態を示す回路図である。

【図9】従来例を示すブロック図である。

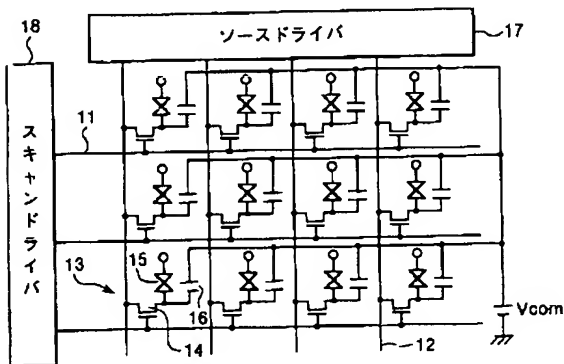
【図10】従来例に係るタイミングチャートである。

【図11】従来例に係る単位転送段の回路構成の一例を示す回路図である。

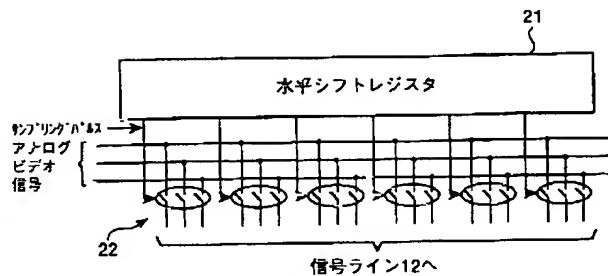
【符号の説明】

11…ゲートバスライン、12…信号ライン（ソースライン）、13…画素、14…TFT（薄膜トランジスタ）、15…液晶セル、17…ソースドライバ、18…スキャンドライバ、21、31…水平シフトレジスタ、41…データ転送部、42…データラッチ部、43…カレントバッファ部

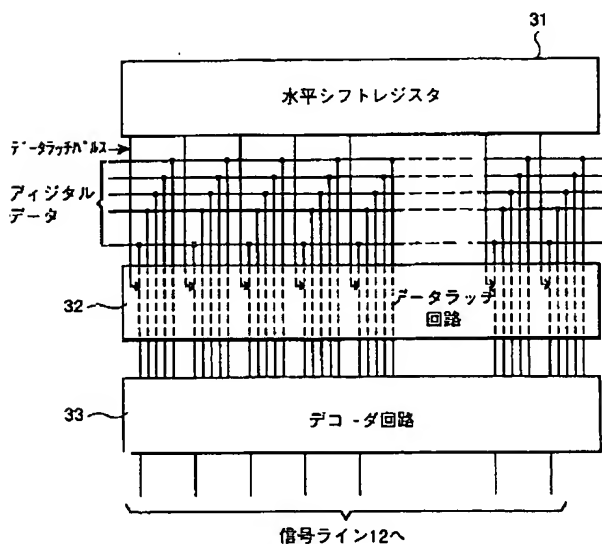
【図1】



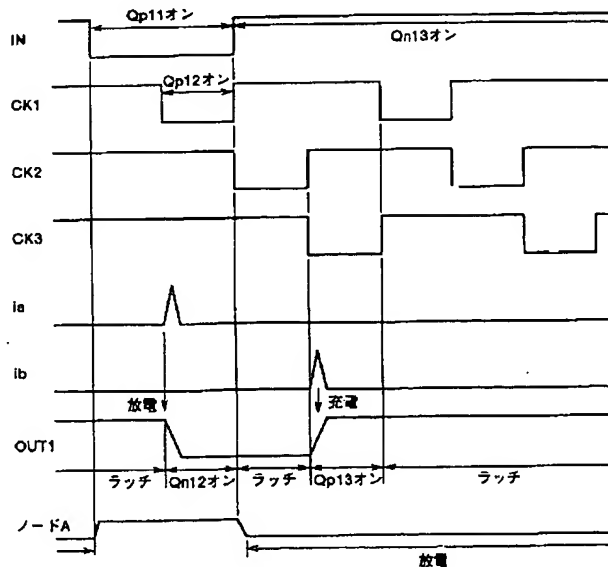
【図2】



【図3】



【図5】





【図8】

